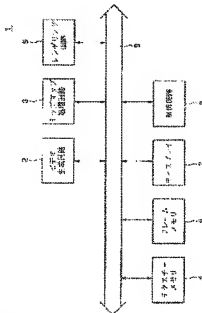


IMAGE PROCESSING DEVICE, RECEIVING DEVICE, AND THEIR METHODS

Publication number: JP2002099926 (A)
 Publication date: 2002-04-05
 Inventor(s): NAKAMURA KENICHIRO +
 Applicant(s): SONY CORP +
 Classification:
 - international: G06T15/00; G06T15/00; (IPC1-7) G06T15/00
 - European:
 Application number: JP20000288171 20000922
 Priority number(s): JP20000288171 20000922

Abstract of JP 2002099926 (A)

PROBLEM TO BE SOLVED: To provide an image processing device generating animation image signals with a plurality of resolutions by MIP mapping processing and using these signals for performing texture mapping of an animation image.
SOLUTION: This image processing device is provided with a MIP-mapping processing circuit 3, using an inputted digital animation image signal S2 for generating a plurality of animation image signals S31-S3n, having resolutions different from a resolution of the animation image signal S2 synchronously with input of the animation image signal S2, a texture memory 4 storing the animation image signals S2 and S31-S3n, and a rendering circuit 5 for carrying out texture mapping processing by using the animation image signals from the texture memory 4, so as to generate a three-dimensional animation image signal.



.....
 Data supplied from the *espacenet* database — Worldwide

(19) 日本特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-99926

(P2002-99926A)

(43) 公開日 平成14年4月5日(2002.4.5)

(51) Int. Cl. ⁷	識別番号	F I	キーワード(参考)
G 0 6 T 15/00	3 0 0	G 0 6 T 15/00	3 0 0 5 B 0 8 0

審査請求 未請求 請求項の数18 O L (全 15 頁)

(21) 出願番号 特願2000-288171(P2000-288171)

(22) 出願日 平成12年9月22日(2000.9.22)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 中村 憲一郎

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100094053

弁理士 佐藤 隆久

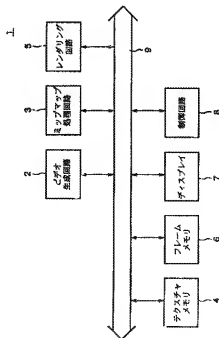
Fターム(参考) 5B080 CA01 GA22

(54) 【発明の名称】 画像処理装置、受信装置およびそれらの方法

(57) 【要約】

【課題】 ミップマップ処理によって複数の解像度の動画像信号を生成し、それらを用いて動画像のテクスチャマッピングを行うことができる画像処理装置を提供する。

【解決手段】 入力されたデジタルの動画像信号S2を用いて、当該動画像信号の解像度とは異なる解像度を持つ複数の動画像信号S₃₁〜S₃₃を、動画像信号S2の入力に同期して生成するミップマップ処理回路3と、動画像信号S2、S₃₁〜S₃₃を記憶するテクスチャメモリ4と、テクスチャメモリ4からの動画像信号を用いてテクスチャマッピング処理を行って前記3次元動画像信号を生成するレンダリング回路5とを有する。



【特許請求の範囲】

【請求項1】 テクスチャマッピング処理を行って3次元動画像信号を生成する画像処理装置において、
入力されたデジタルの動画像信号を用いて、当該動画像信号の解像度とは異なる解像度を持つ複数の動画像信号を、前記動画像信号の入力に同期して生成する画像生成回路と、

前記入力されたデジタルの動画像信号および前記生成された複数の動画像信号を記憶する記憶回路と、

前記記憶回路から前記動画像信号を読み出してテクスチャマッピング処理を行って前記3次元動画像信号を生成する画像処理回路とを有する画像処理装置。

【請求項2】 前記画像生成回路は、

前記入力されたデジタルの動画像信号を用いて、当該動画像信号より解像度の低い動画像信号を生成して出力する複数の解像度変換回路を直列に接続して構成される請求項1に記載の画像処理装置。

【請求項3】 前記複数の解像度変換回路の各々は、入力された動画像信号を用いて、当該動画像信号による画像の縦横方向と共に1/2倍にした画像の動画像信号を生成して出力する請求項2に記載の画像処理装置。

【請求項4】 前記画像生成回路は、

前記複数の動画像信号内の各ラインの画像信号を、相互に異なるタイミングで前記記憶回路に出力する請求項1に記載の画像処理装置。

【請求項5】 前記画像生成回路は、

前記複数の動画像信号内の各ラインの画像信号を相互に異なるタイミングで前記記憶回路に出力するように、前記直列に接続された前記複数の解像度変換回路の間に設けられたタイミング調整回路を有する請求項2に記載の画像処理装置。

【請求項6】 前記画像生成回路は、

入力された動画像信号を用いて当該動画像信号より解像度の低い動画像信号を生成して出力する複数の解像度変換回路を並列に設けて構成される請求項1に記載の画像処理装置。

【請求項7】 前記画像生成回路は、

前記複数の動画像信号内の各ラインの画像信号を相互に異なるタイミングで前記記憶回路に出力するように、前記並列に接続された前記複数の解像度変換回路の前段あるいは後段に必要に応じて設けられたタイミング調整回路を有する請求項2に記載の画像処理装置。

【請求項8】 前記記憶回路は、

前記入力されたデジタルの動画像信号を記憶する第1の記憶回路と、

前記生成された複数の動画像信号を記憶する第2の記憶回路とを有する請求項1に記載の画像処理装置。

【請求項9】 前記第1の記憶回路および前記第2の記憶回路は、それぞれ読み出しと書き込みとを独立して行う記憶回路である請求項8に記載の画像処理装置。

【請求項10】 前記記憶回路は、

前記入力されたデジタルの動画像信号を記憶する第1の記憶回路と、

前記生成された複数の動画像信号をそれぞれ記憶する複数の第2の記憶回路とを有する請求項1に記載の画像処理装置。

【請求項11】 前記第1の記憶回路および前記複数の第2の記憶回路は、それぞれ読み出しと書き込みとを独立して行う記憶回路である請求項8に記載の画像処理装置。

【請求項12】 前記記憶回路は、

前記入力されたデジタルの動画像信号を記憶する第1の記憶回路と、

前記生成された複数の動画像信号のうち、所定数の複数の動画像信号をそれぞれ記憶する複数の第2の記憶回路と、

前記生成された複数の動画像信号のうち、前記第2の記憶回路に記憶される前記動画像信号以外の複数の動画像信号を記憶する単数の第3の記憶回路とを有する請求項1に記載の画像処理装置。

【請求項13】 前記第3の記憶回路は、前記複数の第2の記憶回路に記憶される前記動画像信号より解像度の低い前記動画像信号を記憶する請求項10に記載の画像処理装置。

【請求項14】 前記第1の記憶回路、前記複数の第2の記憶回路および前記第3の記憶回路は、それぞれ読み出しと書き込みとを独立して行う記憶回路である請求項12に記載の画像処理装置。

【請求項15】 前記生成された3次元動画像信号を記憶するフレームメモリと、

前記フレームメモリから読み出した前記3次元動画像信号に応じた画像を表示する表示手段とをさらに有する請求項1に記載の画像処理装置。

【請求項16】 受信したデジタルの信号を復調および復号する受信回路と、

前記復調および復号された動画像信号を用いて、当該動画像信号の解像度とは異なる解像度を持つ複数の動画像信号を、前記動画像信号の入力に同期して生成する画像生成回路と、

前記入力された動画像信号および前記生成された複数の動画像信号を記憶する記憶回路と、

前記記憶回路から前記動画像信号を読み出してテクスチャマッピング処理を行って前記3次元動画像信号を生成する画像処理回路とを有する画像処理装置。

【請求項17】 テクスチャマッピング処理を行って3次元動画像信号を生成する画像処理方法において、
入力されたデジタルの動画像信号を用いて、当該動画像信号の解像度とは異なる解像度を持つ複数の動画像信号を、前記動画像信号の入力に同期して生成し、
前記入力されたデジタルの動画像信号および前記生成さ

れた複数の動画画像信号を記憶回路に記憶し、

前記記憶回路から前記動画画像信号を読み出してテクスチャマッピング処理を行う前記3次元動画画像信号を生成する画像処理方法。

【請求項18】受信したデジタルの信号を復調および復号し、

前記復調および復号された動画画像信号を用いて、当該動画画像信号の解像度とは異なる解像度を持つ複数の動画画像信号を、前記動画画像信号の入力に同期して生成し、前記入力された動画画像信号および前記生成された複数の動画画像信号を記憶回路に記憶し、

前記記憶回路から前記動画画像信号を読み出してテクスチャマッピング処理を行う前記3次元動画画像信号を生成する受信方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ミップマップ処理によって得た複数の解像度の動画画像信号を用いて動画画像をテクスチャマッピングを行う画像処理装置、受信装置およびそれらの方法に関する。

【0002】

【従来の技術】3次元グラフィックスシステムにおいては、3次元座標を3角形などのポリゴン(多角形)に分解し、そのポリゴンを描画することで、画像全体の描画が行われる。従って、この場合、3次元画像は、ポリゴンの組み合わせで定義されていると言える。ところで、身の回りにある物体表面は、複雑な模様の繰り返しパターンを有することが多く、模様やパターンが複雑で細くなるほど、各模様やパターンを3角形などでモデル化することは困難となる。そこで、これを解決する手段として、テクスチャマッピング(Texture Mapping)が用いられる。

【0003】テクスチャマッピングは、スキャナ等で取り込んだイメージデータを、物体表面に貼り付けるとともに、少ない頂点数で、リアルティの高い画像を実現するもので、オブジェクト(Object)座標系からテクスチャ(Texture)座標系への写像fを定義し、さらに、ウィンドウ(Window)座標系からテクスチャ座標系への写像gを求めて、ウィンドウ座標系における各ピクセル(Pixel, Picture Cell Element)に対応するテクスチャの要素であるテクセル(Texel, Texture Cell Element)を求める。

【0004】テクスチャに利用されるイメージデータは、テクスチャメモリと呼ばれるメモリ領域に格納される。従って、動画画像データを用いてテクスチャメモリを随時更新する処理を行うと、動画画像によるテクスチャマッピング処理が可能となる。ところで、テクスチャマッピングは、上述のように、テクスチャを、物体表面に貼り付けることにより行われる。例えば、図12(A)に示すように、オブジェクト座標系上において、矩形ポリ

ゴン200の表面にテクスチャ201を貼り付けたものがあり、これを、図12(B)に示すように回転させて表示した場合、ウィンドウ座標系上においては、元のポリゴン(この場合は、矩形)に対して、左端に、拡大されたテクスチャが貼り付けられ、右にいくほど、縮小されたテクスチャが貼り付けられたように見える。この場合、画面に、原画よりも拡大されたテクスチャを貼り付けるときには、例えば、4近傍補間等の、原画のフィルタリング処理を行うことで、リアルタイムに対処することができる。しかしながら、テクスチャが縮小される場合には、1つの画面に、多くのテクセルが対応することとなり、画像のエイリアシング(Aliasing)妨害が目立つようになる。そこで、ミップマップ(MIPMAP)法が知られている。ミップマップという用語は、Lance Williamsが彼の論文"Pyramidal Parametrics"(SIGGRAPH 1983 Proceedings)で用いたのが始まりとされる。

【0005】ミップマップ法においては、テクスチャメモリに、原画を種々の縮小率で縮小したビットマップのデータ(Bitmap Data)(テクスチャデータ)を記憶させておく。即ち、例えば図13に示すように、原画の横と縦の長さ順次1/2に縮小したイメージ(縮小率が1/2、1/4、1/8、...のイメージ)を予め用意し、テクスチャメモリに記憶させておく。

【0006】各々の縮小画像のサイズに関しては、詳細度(LOD:Level of Detail)という尺度が用いられる。最も大きい画像は入力画像と同じサイズであり、これはLOD「0」である。縦横のサイズが1/2(面積では1/4)の縮小画像はLOD「1」である。同様にして、縦横のサイズが1/4、1/8の画像は、それぞれLOD「2」、「3」というように、縦横のサイズが1/2になる度にLODの値は1ずつ増加する。この縮小画像セットは、理論上は縦横のサイズが1×1ピクセルの大きさになるまで用意しておく必要がある。ミップマップ処理は、テクスチャマッピングの際に、処理するピクセルにおける縮小率に最も近いサイズの縮小画像を選択して貼り付けることで、高速でかつエイリアシングのない処理結果を得る技術である。また、さらに高画質を望む場合は、選択した縮小画像内で補間演算を行ったり(bilinear処理)、複数のサイズの縮小画像を選択し、縮小画像間でさらに補間演算を行ったり(trilinear処理)する手法などが知られている。これらの演算にはより多くの時間がかかるが、近年の半導体技術の飛躍によって高速な演算が可能になったことから、現在では普通に利用されている。

【0007】

【発明が解決しようとする課題】ところで、ミップマップ処理は、複数の解像度を持つ縮小画像を用意する必要があり、これに時間がかかるため、動画画像のように次々と更新される画像に対し、リアルタイムで縮小画像のセットを揃えることは困難であるとされてきた。従って、

テクスチャマッピングにおけるミップマップ処理の対象は静止画像に限られていた。このため、縮小画像のエイリアシングは、静止画像よりもむしろ動画像において顕著に目立つ問題であるにもかかわらず、動画像のテクスチャマッピング処理においては、ミップマップ処理が行われていないという問題がある。

【0008】本発明は上述した従来技術の問題点に鑑みてなされ、ミップマップ処理によって複数の解像度の動画像信号を生成し、それらを用いて動画像のテクスチャマッピングを行うことができる画像処理装置、受信装置およびそれらの方法を提供することを目的とする。

【0009】

【課題を解決するための手段】上述した目的を達成するために第1の発明の画像処理装置は、テクスチャマッピング処理を行って3次元動画像信号を生成する画像処理装置であって、入力されたデジタルの動画像信号を用いて、当該動画像信号の解像度とは異なる解像度を持つ複数の動画像信号を、前記動画像信号の入力に同期して生成する画像生成回路と、前記入力されたデジタルの動画像信号および前記生成された複数の動画像信号を記憶する記憶回路と、前記記憶回路から前記動画像信号を読み出してテクスチャマッピング処理を行って前記3次元動画像信号を生成する画像処理回路とを有する。

【0010】第1の発明の画像処理装置の作用は以下のようなになる。まず、画像生成回路において、入力されたデジタルの動画像信号を用いて、当該動画像信号の解像度とは異なる解像度を持つ複数の動画像信号が、前記動画像信号の入力に同期してリアルタイムに生成される。そして、前記入力されたデジタルの動画像信号および前記生成された複数の動画像信号が記憶回路に記憶される。そして、画像処理回路において、前記記憶回路から前記動画像信号が読み出され、当該動画像信号を用いてテクスチャマッピング処理が行われて3次元動画像信号が生成される。

【0011】また、第1の発明の画像処理装置は、好ましくは、前記画像生成回路は、前記入力されたデジタルの動画像信号を用いて、当該動画像信号より解像度の低い動画像信号を生成して出力する複数の解像度変換回路を直列に接続して構成される。このように複数の解像度変換回路を直列に接続して用いることで小規模化が図れる。

【0012】また、第1の発明の画像処理装置は、好ましくは、前記複数の解像度変換回路の各々は、入力された動画像信号を用いて、当該動画像信号による画像の縦横方向を共に1/2倍にした画像の動画像信号を生成して出力する。

【0013】また、第1の発明の画像処理装置は、好ましくは、前記画像生成回路は、前記複数の動画像信号内の各ラインの画像信号を、相互に異なるタイミングで前記記憶回路に出力する。これにより、記憶回路への書き

込みが衝突（競合）することを回避できる。

【0014】また、第1の発明の画像処理装置は、好ましくは、前記画像生成回路は、前記複数の動画像信号内の各ラインの画像信号を相互に異なるタイミングで前記記憶回路に出力するように、前記直列に接続された前記複数の解像度変換回路の間に設けられたタイミング調整回路を有する。

【0015】また、第1の発明の画像処理装置は、好ましくは、前記画像生成回路は、入力された動画像信号を用いて、当該動画像信号より解像度の低い動画像信号を生成して出力する複数の解像度変換回路を並列に設けて構成される。このような複数の解像度変換回路を並列に設けることで、それによって得られる動画像信号を高品質化できる。

【0016】また、第1の発明の画像処理装置は、好ましくは、前記画像生成回路は、前記複数の動画像信号内の各ラインの画像信号を相互に異なるタイミングで前記記憶回路に出力するように、前記並列に接続された前記複数の解像度変換回路の前段あるいは後段に必要に応じて設けられたタイミング調整回路を有する。

【0017】また、第1の発明の画像処理装置は、好ましくは、前記記憶回路は、前記入力されたデジタルの動画像信号を記憶する第1の記憶回路と、前記生成された複数の動画像信号を記憶する第2の記憶回路とを有する。

【0018】また、第1の発明の画像処理装置は、好ましくは、前記第1の記憶回路および前記第2の記憶回路は、それぞれ読み出しと書き込みとを独立して行う記憶回路である。

【0019】また、第1の発明の画像処理装置は、好ましくは、前記記憶回路は、前記入力されたデジタルの動画像信号を記憶する第1の記憶回路と、前記生成された複数の動画像信号をそれぞれ記憶する複数の第2の記憶回路とを有する。

【0020】また、第1の発明の画像処理装置は、好ましくは、前記記憶回路は、前記入力されたデジタルの動画像信号を記憶する第1の記憶回路と、前記生成された複数の動画像信号のうち、所定数の複数の動画像信号をそれぞれ記憶する複数の第2の記憶回路と、前記生成された複数の動画像信号のうち、前記第2の記憶回路に記憶される前記動画像信号以外の複数の動画像信号を記憶する単数の第3の記憶回路とを有する。

【0021】また、第1の発明の画像処理装置は、好ましくは、前記第3の記憶回路は、前記複数の第2の記憶回路に記憶される前記動画像信号より解像度の低い前記動画像信号を記憶する。

【0022】また、第1の発明の画像処理装置は、好ましくは、前記生成された3次元動画像信号を記憶するフレームメモリと、前記フレームメモリから読み出した前記3次元動画像信号に応じた画像を表示する表示手段と

をさらに有する。

【0023】また、第2の発明の受信装置は、受信したデジタルの信号を復調および復号する受信回路と、前記復調および復号された動画画像信号を用いて、当該動画画像信号の解像度とは異なる解像度を持つ複数の動画画像信号を、前記動画画像信号の入力に同期して生成する画像生成回路と、前記入力された動画画像信号および前記生成された複数の動画画像信号を記憶する記憶回路と、前記記憶回路から前記動画画像信号を読み出してテキストチャッピング処理を行って前記3次元動画画像信号を生成する画像処理回路とを有する。

【0024】また、第3の発明の画像処理方法は、テキストチャッピング処理を行って3次元動画画像信号を生成する画像処理方法において、入力されたデジタルの動画画像信号を用いて、当該動画画像信号の解像度とは異なる解像度を持つ複数の動画画像信号を、前記動画画像信号の入力に同期して生成し、前記入力されたデジタルの動画画像信号および前記生成された複数の動画画像信号を記憶回路に記憶し、前記記憶回路から前記動画画像信号を読み出してテキストチャッピング処理を行って前記3次元動画画像信号を生成する。

【0025】また、第4の発明の受信方法は、受信したデジタルの信号を復調および復号し、前記復調および復号された動画画像信号を用いて、当該動画画像信号の解像度とは異なる解像度を持つ複数の動画画像信号を、前記動画画像信号の入力に同期して生成し、前記入力された動画画像信号および前記生成された複数の動画画像信号を記憶回路に記憶し、前記記憶回路から前記動画画像信号を読み出してテキストチャッピング処理を行って前記3次元動画画像信号を生成する。

【0026】

【発明の実施の形態】以下、本発明の実施形態に係る画像処理装置およびデジタルテレビ受信装置について説明する。

第1実施形態

図1は、本実施形態の画像処理装置1の全体構成図である。図1に示すように、画像処理装置1は、例えば、ビデオ生成回路2、ミップマップ処理回路3、テクスチャメモリ4、レンダリング回路5、フレームメモリ6、ディスプレイ7および制御回路8を有し、これらがAV(Audio Visual)/バス9を介して接続されている。ここで、ミップマップ処理回路3が本発明の画像生成回路に対応し、テクスチャメモリ4が本発明の記憶回路に対応し、レンダリング回路5が本発明の画像処理回路に対応し、フレームメモリ6が本発明のフレームメモリに対応し、ディスプレイ7が本発明の表示手段に対応している。

【0027】図2は、図1に示す画像処理装置1におけるデータの流れを説明するための図である。以下、画像処理装置1の各構成要素について説明する。ビデオ生成回路2は、ビデオ撮像装置から得られたデジタルのビデオ

信号(本発明の動画画像信号)や、MPEGデコード処理を経て得られたデジタルのビデオ信号を生成し、これをビデオ信号S2としてミップマップ処理回路3およびテクスチャメモリ4に出力する。ビデオ信号S2は、ミップマップ処理における、詳細度LODのレベル(以下、LODレベルとも記す)が「0」の画像の信号である。ここで、詳細度が本発明の解像度に対応している。

【0028】ミップマップ処理回路3は、ビデオ生成回路2から入力したビデオ信号S2を用いて、それぞれLODレベルが「1」、「2」、「3」、…、「n」の画像のビデオ信号S3₁、S3₂、S3₃、…、S3_nを生成し、これをテクスチャメモリ4に出力する。kを1≦k≦nを満たす整数とした場合に、LODレベル「k」の画像は、LODレベル「0」の画像の縦横のサイズを1/2^k倍にした縮小画像である。なお、LODレベル「k」の値が大きくなるに従って、縮小画像の解像度を低くする。本実施形態では、ミップマップ処理回路3は、ビデオ信号S2の入力に同期して、ビデオ信号S3₁〜S3_nの生成および出力をリアルタイムに行う。

【0029】テクスチャメモリ4は、ビデオ生成回路2からのビデオ信号S2と、ミップマップ処理回路3からのビデオ信号S3₁〜S3_nとを記憶する。

【0030】レンダリング回路5は、テクスチャメモリ4に記憶されたビデオ信号S2、S3₁〜S3_nのうち、制御回路8によって指定されたLODレベルのビデオ信号S4をテクスチャメモリ4から読み出し、当該読み出したビデオ信号S4を用いてレンダリング処理を行って3次元ビデオ信号S5(本発明の3次元動画画像信号)を生成し、これをフレームメモリ6に出力する。当該レンダリング処理では、3次元モデルに動画像を張り付けるテクスチャマッピングが行われる。

【0031】フレームメモリ6は、レンダリング回路5から入力して記憶したビデオ信号をディスプレイ7に出力する。

【0032】ディスプレイ7は、フレームメモリ6から入力したビデオ信号に応じた画像を表示する。

【0033】以下、画像処理装置1の動作を説明する。ビデオ生成回路2において生成されたLODレベル「0」のビデオ信号S2がミップマップ処理回路3およびテクスチャメモリ4に出力される。そして、ビデオ信号S2がテクスチャメモリ4に記憶される。また、ミップマップ処理回路3において、ビデオ信号S2の入力に同期してリアルタイムに、ビデオ信号S2を用いてそれぞれLODレベル「1」、「2」、「3」、…、「n」の画像のビデオ信号S3₁〜S3_nが生成され、これらがテクスチャメモリ4に出力に出力される。そして、ビデオ信号S3₁〜S3_nがテクスチャメモリ4に記憶される。

【0034】次に、レンダリング回路5によって、テク

スタチャメモリ4に記憶されたビデオ信号S2、S3₁～S3₃のうち、制御回路8によって指定されたL0Dレベルのビデオ信号がビデオ信号S4としてテキストチャメモリ4から読み出される。そして、レンダリング回路5において、ビデオ信号S4を用いてレンダリング処理が行われ、それによって生成された3次元ビデオ信号S5がフレームメモリ6に書き込まれる。そして、フレームメモリ6から読み出されたビデオ信号がディスプレイ7に出力され、当該ビデオ信号に応じた画像がディスプレイ7に表示される。

【0035】フレームメモリ6は、レンダリング回路5から入力して記憶したビデオ信号をディスプレイ7に出力する。

【0036】以上説明したように、画像処理装置1によれば、図2に示すように、ビデオ生成回路2からのビデオ信号S2をミップマップ処理回路3に直接入力し、ミップマップ処理回路3において、ビデオ信号S2の入力と同期して、L0Dレベル「1」、「2」、「3」、・・・、「n」のビデオ信号S3₁～S3₃をリアルタイムに生成してテキストチャメモリ4に書き込む。そのため、レンダリング回路5は、テキストチャメモリ4に記憶されているビデオ信号S2、S3₁～S3₃を用いて、動画像のテキストチャマッピングを実現できる。そのため、画像処理装置1によれば、レンダリング回路5が生成した3次元動画像信号によって得られる画像は、縮小時のエイリアシングが抑えられた高品質なものになる。

【0037】なお、ミップマップ処理においては、縮小画像は厳密には縦横のサイズが1×1ピクセルのサイズまで利用される可能性があるが、実際には動画像の内容を確認できないほど縮小することは少ないと考えられるため、ビデオ信号S2がHDTV (High Definition Television, 1920×1080ピクセル) やSDTV (Standard Definition Television, 720×525ピクセル) 程度のサイズである場合、ミップマップ処理回路3は、L0Dレベル「1」、「2」、「3」のビデオ信号S3₁～S3₃を生成すれば十分である。

【0038】第2実施形態
本実施形態では、図1および図2に示す画像処理装置1におけるミップマップ処理回路3の具体的な内部構成を説明する。図3は、ミップマップ処理回路3の構成図である。図3に示すように、ミップマップ処理回路3は、画像縮小回路3₁～3₃、・・・と、ラインディレイ回路3₂、・・・とを有する。図3に示すミップマップ処理回路3では、画像縮小回路3₁～3₃、・・・が直列に接続されている。ここで、画像縮小回路3₁～3₃、・・・が請求項2の複数の解像度変換回路に対応し、ラインディレイ回路3₂～3₃、・・・が請求項7のタイミング調整回路に対応している。

【0039】画像縮小回路3₁～3₃、・・・は、

同じ構成をしており、入力された動画像信号に帯域制限フィルタ処理および間引き処理などを行って、当該動画像信号によって得られる画像の縦横を1/2倍にした縮小画像の動画像信号を生成する。

【0040】ラインディレイ回路3₂、・・・3₃

は、それぞれ入力した動画像信号を1ライン分の時間だけ遅延して出力する。

【0041】以下、ミップマップ処理回路3の動作例を説明する。図4は、図3に示す画像縮小回路3₁～3₃における画像の横方向のピクセルについての処理を説明するための図であり、横軸が時間を示している。図5は、図3に示す画像縮小回路3₁～3₃における画像の縦方向のラインについての処理を説明するための図であり、横軸が時間を示している。

【0042】図2に示すビデオ生成回路2からのL0Dレベル「0」の動画像信号S2が、図3に示すミップマップ処理回路3の画像縮小回路3₁に入力される。そして、画像縮小回路3₁において、図4(A)、

(B)に示すように、動画像信号S2内の横方向の2ピクセルのデータが入力される度に、これらを用いて1ピクセルのデータが生成される。これにより、画像縮小回路3₁によれば、入力されたNピクセルのデータから、N/2ピクセルのデータが生成される。また、画像縮小回路3₁は、同様に縦方向には、図5(A)、

(B)に示すように、動画像信号S2内の2ラインのデータが入力される度に、これらを用いて1ラインのデータが生成される。これにより、画像縮小回路3₁によれば、入力されたMラインのデータから、M/2ラインのデータが生成される。画像縮小回路3₁では、内部の帯域制限フィルタ回路のタップ数に依存して、データが入力されてから、それに応じたデータが出力されるまでの時間が決まるが、最初のデータが出力されてからは、例えば、1クロックサイクルなどの所定の時間間隔でデータが順次出力される。画像縮小回路3₁で生成されたデータは、L0Dレベル「1」の動画像信号S3₁として図1および図2に示すテキストチャメモリ4および図3に示すラインディレイ回路3₂に出力される。

【0043】動画像信号S3₃は、ラインディレイ回路3₂において、1ライン分の時間だけ遅延されて画像縮小回路3₂に出力される。

【0044】そして、画像縮小回路3₂において、図4(B)、(C)に示すように、動画像信号S3₃内の横方向の2ピクセルのデータが入力される度に、これらを用いて1ピクセルのデータが生成される。これにより、画像縮小回路3₂によれば、画像縮小回路3₁に入力されたNピクセルのデータから、N/4ピクセルのデータが生成される。また、画像縮小回路3₂は、同様に縦方向には、図5(B)、(C)に示すように、動画像信号S3₃内の2ラインのデータが入力される度に、これらを用いて1ラインのデータが生成される。こ

れにより、画像縮小回路31₂によれば、画像縮小回路31₁に入力されたMラインのデータから、M/4ラインのデータが生成される。画像縮小回路31₂で生成されたデータは、L0Dレベル「2」の動画画像信号S3₂として図1および図2に示すテキストチャメモリ4および図3に示すラインディレイ回路32₂に出力される。このとき、画像縮小回路31₂から出力される動画画像信号S3₂の各ラインのデータは、動画画像信号S3₁がラインディレイ回路32₂によって1ライン分の時間だけ遅延されるため、動画画像信号S3₁内の隣接するラインのデータ間に時間的に位置する。これにより、画像縮小回路31₁と31₂との間で、テキストチャメモリ4に対してのデータ書き込みが衝突することはない。

【0045】動画画像信号S3₃は、ラインディレイ回路32₂、32₃によって、2ライン分の時間だけ遅延されて画像縮小回路31₃に出力される。

【0046】よって、画像縮小回路31₃において、図4(C)、(D)に示すように、動画画像信号S3₃内の横方向の2ピクセルのデータが入力される度に、これらを用いて1ピクセルのデータが生成される。これにより、画像縮小回路31₃によれば、画像縮小回路31₁に入力されたNピクセルのデータから、N/8ピクセルのデータが生成される。また、画像縮小回路31₃は、同様に縦方向には、図5(C)、(D)に示すように、動画画像信号S3₃内の2ラインのデータが入力される度に、これらを用いて1ラインのデータが生成される。これにより、画像縮小回路31₃によれば、画像縮小回路31₁に入力されたMラインのデータから、M/8ラインのデータが生成される。画像縮小回路31₃で生成されたデータは、L0Dレベル「3」の動画画像信号S3₃として図1および図2に示すテキストチャメモリ4および図3に示すラインディレイ回路32₃に出力される。このとき、画像縮小回路31₃から出力される動画画像信号S3₃の各ラインのデータは、動画画像信号S3₁がラインディレイ回路32₂、32₃によって2ライン分の時間だけ遅延されるため、動画画像信号S3₃内の隣接するラインのデータ間に時間的に位置すると共に、動画画像信号S3₃内の隣接するラインのデータ間に時間的に位置する。これにより、画像縮小回路31₁と31₂と31₃との間で、テキストチャメモリ4に対してのデータ書き込みが衝突することはない。

【0047】以下同様に、必要な数の画像縮小回路とラインディレイ回路とを直列に接続することで、L0Dレベルが「k」の動画画像信号が生成され、テキストチャメモリ4に書き込まれる。このとき、画像縮小回路31₁と31₂との間に2^{k-1}個のラインディレイ回路を直列に設けることで、画像縮小回路からテキストチャメモリ4への書き込みの衝突を回避できる。

【0048】画像処理装置1によれば、ミップマップ処理回路3に1フレーム分の動画画像信号S2が入力される

と、それに同期して、各段階のL0Dレベルを持つ動画画像信号S3₁～S3₃がテキストチャメモリ4に書き込まれる。そのため、レンダリング回路5は、テキストチャメモリ4に記憶された動画画像信号を用いて、動画画像のミップマップ処理を実現できる。

【0049】また、画像処理装置1によれば、ラインディレイ回路32₁～32₃...を用いてタイミングを調整することで、画像縮小回路31₁～31₃...からテキストチャメモリ4への書き込みの衝突を回避でき、連続してデータをテキストチャメモリ4に書き込むことができる。但し、この場合に、L0Dレベルの大きい、すなわちサイズの小さい縮小画像のデータがフレームメモリ6に書き込まれるまでに、数ライン分の遅れが生ずる。例えば、L0Dレベル「3」（縦横1/8 縮小）の画像がフレームメモリ6に書き込まれるのは、L0Dレベル「1」（縦横1/2 縮小）の画像が書き込まれてから、3ライン分の時間的な遅れが生ずる。しかし、動画画像の有効フレーム期間の間に、一般に数十ライン分の垂直ブランキング期間が設けられており、リアルタイム性は十分に保たれる。

【0050】また、図3に示すミップマップ処理回路3の構成によれば、同じ構成の比較的小規模な構成の画像縮小回路を用いることができると共に、後述する第3実施形態に比べてラインディレイ回路の数を抑えることができる。

【0051】第3実施形態

本実施形態では、図1および図2に示す画像処理装置1におけるミップマップ処理回路3のその他の具体的な内部構成を説明する。図6は、ミップマップ処理回路3のその他の構成図である。図6に示すように、ミップマップ処理回路3は、画像縮小回路41₁～41₄...と、ラインディレイ回路42₁～42₃...とを有する。本実施形態のミップマップ処理回路3では、画像縮小回路41₁～41₄...が並列に設けられており、これらが並行して処理を行う。ここで、画像縮小回路41₁～41₄...が請求項6の複数の解像度変換回路に対応し、ラインディレイ回路42₁～42₃...が請求項7のタイミング調整回路に対応している。

【0052】画像縮小回路41₁は、図2に示すビデオ生成回路2から入力した動画画像信号S2に帯域制限フィルタ処理および間引き処理などを行って、当該動画画像信号によって得られる画像の縦横を1/2倍にした縮小画像の動画画像信号S3₁を生成し、これをテキストチャメモリ4に出力する。画像縮小回路41₂は、ビデオ生成回路2から入力した動画画像信号S2に帯域制限フィルタ処理および間引き処理などを行って、当該動画画像信号によって得られる画像の縦横を1/4倍にした縮小画像の動画画像信号S41₂を生成し、これをラインディレイ回路42₁に出力する。

【0053】画像縮小回路41₁は、ビデオ生成回路2から入力した動画係信号S2に帯域制限フィルタ処理および間引き処理などを行って、当該動画係信号によって得られる画像の縦横を1/8倍にした縮小画像の動画係信号S41₁を生成し、これをラインディレイ回路42₁に出力する。画像縮小回路41₁は、ビデオ生成回路2から入力した動画係信号S2に帯域制限フィルタ処理および間引き処理などを行って、当該動画係信号によって得られる画像の縦横を1/16倍にした縮小画像の動画係信号S41₁を生成し、これをラインディレイ回路42₁に出力する。

【0054】ラインディレイ回路42₁へ42₁₁、...は、それぞれ入力した動画係信号を1ライン分の時間だけ遅延して出力する。

【0055】以下、ミップマップ処理回路3の動作例を図4および図5を用いて説明する。

【0056】図2に示すビデオ生成回路2からのLODレベル「0」の動画係信号S2が、図3に示すミップマップ処理回路3の画像縮小回路41₁に入力される。そして、画像縮小回路41₁において、図4(A)、

(B)に示すように、動画係信号S2内の横方向の2ピクセルのデータが入力される度に、これらを用いて1ピクセルのデータが生成される。これにより、画像縮小回路41₁によれば、入力されたNピクセルのデータから、N/2ピクセルのデータが生成される。また、画像縮小回路41₁は、同様に縦方向には、図5(A)、

(B)に示すように、動画係信号S2内の2ラインのデータが入力される度に、これらを用いて1ラインのデータが生成される。これにより、画像縮小回路41₁によれば、入力されたMラインのデータから、M/2ラインのデータが生成される。画像縮小回路41₁では、内部の帯域制限フィルタ回路のタップ数に依存して、データが入力されてから、それに応じたデータが出力されるまでの時間が決まるが、最初のデータが出力されてからは、例えば、1クロックサイクルなどの所定の時間間隔でデータが順次出力される。画像縮小回路41₁で生成されたデータは、LODレベル「1」の動画係信号S3₁として図1および図2に示すテクスチャメモリ4に出力される。

【0057】また、画像縮小回路41₂において、図4(A)、(C)に示すように、動画係信号S2内の横方向の4ピクセルのデータが入力される度に、これらを用いて1ピクセルのデータが生成される。これにより、画像縮小回路41₂によれば、入力されたNピクセルのデータから、N/4ピクセルのデータが生成される。また、画像縮小回路41₂は、同様に縦方向には、図5(A)、(C)に示すように、動画係信号S2内の4ラインのデータが入力される度に、これらを用いて1ラインのデータが生成される。これにより、画像縮小回路41₂によれば、入力されたMラインのデータから、M/

4ラインのデータが生成される。画像縮小回路41₂で生成されたデータは、LODレベル「2」の動画係信号S4₁として、ラインディレイ回路42₁に出力され、ラインディレイ回路42₁で1ライン分の時間だけ遅延されて動画係信号S3₂として、図2に示すテクスチャメモリ4に出力される。これにより、動画係信号S3₂の各ラインのデータは、動画係信号S3₁内の隣接するラインのデータ間に時間的に位置する。従って、画像縮小回路41₁と41₂との間で、テクスチャメモリ4に対してのデータ書き込みが衝突することはない。

【0058】また、画像縮小回路41₃において、図4(A)、(D)に示すように、動画係信号S2内の横方向の8ピクセルのデータが入力される度に、これらを用いて1ピクセルのデータが生成される。これにより、画像縮小回路41₃によれば、入力されたNピクセルのデータから、N/8ピクセルのデータが生成される。また、画像縮小回路41₃は、同様に縦方向には、図5(A)、(D)に示すように、動画係信号S2内の8ラインのデータが入力される度に、これらを用いて1ラインのデータが生成される。これにより、画像縮小回路41₃によれば、入力されたMラインのデータから、M/8ラインのデータが生成される。画像縮小回路41₃で生成されたデータは、LODレベル「3」の動画係信号S4₁として、ラインディレイ回路42₂に出力され、ラインディレイ回路42₂、42₃、42₄で3ライン分の時間だけ遅延されて動画係信号S3₃として、図2に示すテクスチャメモリ4に出力される。このとき、動画係信号S3₃は、ラインディレイ回路42₂、42₃、42₄で3ライン分の時間遅延されているため、動画係信号S3₃内の隣接するラインのデータ間に時間的に位置すると共に、動画係信号S3₃内の隣接するラインのデータ間に時間的に位置する。これにより、動画係信号S3₁、S3₂、S3₃の間で、テクスチャメモリ4に対してのデータ書き込みが衝突することはない。

【0059】以下同様に、動画係信号S2による画像を縦横方向に1/2ⁿだけ縮小した画像を提供する動画係信号を生成する画像縮小回路41_nを並列に設けることで、LODレベルが「1」～「n」の動画係信号が生成され、テクスチャメモリ4に書き込まれる。このとき、画像縮小回路41_nの後段には(2ⁿ⁻¹-1)個のラインディレイ回路を設けることで、画像縮小回路からテクスチャメモリ4への書き込みの衝突を回避できる。図6に示す構成のミップマップ処理回路3では、図3に示す構成のミップマップ処理回路3に比べて、必要なラインディレイ回路の数は多くするが、ラインディレイ回路のメモリ容量は、LODレベルが大きくなるにつれて指数関数的に小さくなるので、実際には問題にならない。本実施形態によっても、第1実施形態および第2実施形態と同様の効果を得られる。また、図6に示す構成のミップ

ブマップ処理回路3によれば、第2実施形態のように、画像縮小処理を複数段で行わないことから、第2実施形態に比べて、高品質な縮小画像の動画像信号を生成できる。

【0060】第4実施形態

本実施形態では、図1および図2に示す画像処理装置1におけるテキストチャメモリ4の具体的な内部構成を説明する。本実施形態では、図1および図2に示すミップマップ処理回路3として、例えば、図3あるいは図6に示す構成のものが用いられる。図7は、テキストチャメモリ4の構成図である。図7に示すように、テキストチャメモリ4は、物理メモリ51、52およびバス53、54を有する。ここで、物理メモリ51が請求項8の第1の記憶回路に対応し、物理メモリ52が請求項8の第2の記憶回路に対応している。

【0061】物理メモリ51、52は、デュアルポートメモリであり、データの書き込みとデータの読み出しとを独立して行える。物理メモリ51の書き込みポートは、図1および図2に示すAバス9に接続されており、図3の画像縮小回路31；あるいは図6の画像縮小回路41；から出力された動画像信号S2が入力される。また、物理メモリ51の読み出しポートは、図7に示すバス54に接続されている。

【0062】物理メモリ52の書き込みポートはバス53に接続されており、物理メモリ52の読み出しポートはバス54に接続されている。

【0063】バス53は、図1および図2に示すAバス9および物理メモリ52の書き込みポートに接続されており、Aバス9を介して動画像信号S3₁～S3₅...を受け、これらを物理メモリ52の書き込みポートに出力する。

【0064】バス54は、物理メモリ51、52の読み出しポートと、図1および図2に示すAバス9とに接続されており、物理メモリ51、52から読み出しされた動画像信号S4をレンダリング回路5に出力する。

【0065】以下、図7に示すテキストチャメモリ4の動作について説明する。図1および図2に示すミップマップ処理回路3からの動画像信号S2が、Aバス9を介して、テキストチャメモリ4の物理メモリ51の書き込みポートに入力され、物理メモリ51に書き込まれる。また、当該動作と並行して、ミップマップ処理回路3からの動画像信号S3₁～S3₅...が、Aバス9およびテキストチャメモリ4のバス53を介して、物理メモリ52の書き込みポートに入力され、物理メモリ52に書き込まれる。このとき、図4および図5を用いて前述したように、動画像信号S3₁～S3₅...は相互間で各ラインのデータは衝突しないため、動画像信号S3₁～S3₅...は物理メモリ52に連続して書き込まれる。そして、上述した物理メモリ51、52への書き込み動作とは独立に、図1および図2に示すレンダ

リング回路5からの要求に応じて、物理メモリ51および52に記憶された動画像信号S4が、バス54およびAバス9を介して、レンダリング回路5に読み出される。

【0066】図7に示す構成のテキストチャメモリ4では、動画像信号S3₁～S3₅...を書き込む物理メモリ52内のアドレスが、ライン単位で不連続となることから、高速動作が可能な例えばSRAMなどを用いることが好ましい。図7に示す構成のテキストチャメモリ4によれば、後述する第5および第6実施形態の構成のテキストチャメモリ4に比べて、回路規模を縮小できる。

【0067】第5実施形態

本実施形態では、図1および図2に示す画像処理装置1におけるテキストチャメモリ4のその他の具体的な内部構成を説明する。本実施形態では、図1および図2に示すミップマップ処理回路3として、例えば、図3あるいは図6に示す構成のものが用いられる。図8は、テキストチャメモリ4のその他の構成図である。図8に示すように、テキストチャメモリ4は、物理メモリ51、物理メモリ61、62、63、64、65...およびバス53、54を有する。ここで、物理メモリ51が請求項10の第1の記憶回路に対応し、物理メモリ61、62、63、64、65...が請求項10の第2の記憶回路に対応している。

【0068】物理メモリ51、61～65...は、デュアルポートメモリであり、データの書き込みとデータの読み出しとを独立して行える。物理メモリ51の書き込みポートは、図1および図2に示すAバス9に接続されており、図3の画像縮小回路31；あるいは図6の画像縮小回路41；から出力された動画像信号S2が入力される。また、物理メモリ51の読み出しポートは、図8に示すバス54に接続されている。

【0069】物理メモリ61～65...の書き込みポートはバス53に接続されており、物理メモリ61～65...の読み出しポートはバス54に接続されている。

【0070】バス53は、図1および図2に示すAバス9および物理メモリ52の書き込みポートに接続されており、Aバス9を介して動画像信号S3₁～S3₅...を受け、これらをそれぞれ物理メモリ61～65...の書き込みポートに出力する。

【0071】バス54は、物理メモリ51、61～65...の読み出しポートと、図1および図2に示すAバス9とに接続されており、物理メモリ51、61～65...から読み出しされた動画像信号S4をレンダリング回路5に出力する。

【0072】以下、図8に示すテキストチャメモリ4の動作について説明する。図1および図2に示すミップマップ処理回路3からの動画像信号S2が、Aバス9を介して、テキストチャメモリ4の物理メモリ51の書き込み

ポートに入力され、物理メモリ51に書き込まれる。また、当該動作と並行して、ミップマップ処理回路3からの動画画像信号S3₁～S3₅、...が、AVバス9およびテクスチャメモリ4のバス5を介して、それぞれ物理メモリ61～65、...の書き込みポートに入力され、物理メモリ2に書き込まれる。このとき、図4および図5を用いて前述したように、動画画像信号S3₁～S3₅、...が相互間で各ラインのデータは衝突しないため、動画画像信号S3₁～S3₅、...内のデータはAVバス9およびバス5内を連続して伝送する。そして、上述した物理メモリ51、61～65への書き込み動作とは独立に、図1および図2に示すレンダリング回路5からの要求に応じて、物理メモリ51、61～65に記憶された動画画像信号S4が、バス54およびAVバス9を介して、レンダリング回路5に読み出される。

【0073】図8に示す構成のテクスチャメモリ4では、物理メモリ61～65の各々では、それぞれ動画画像信号S3₁～S3₅が連続したアドレスに書き込まれ、動画画像信号S4が連続したアドレスから読み出される。そのため、図8に示す構成のテクスチャメモリ4としては、低速であるが安価なDRAMなどを使用できる。

【0074】第6実施形態

本実施形態では、図1および図2に示す画像処理装置1におけるテクスチャメモリ4のその他の具体的な内部構成を説明する。本実施形態では、図1および図2に示すミップマップ処理回路3として、例えば、図3あるいは図6に示す構成のものが用いられる。図9、テクスチャメモリ4のその他の構成図である。図9示すように、テクスチャメモリ4は、物理メモリ51、物理メモリ71、72、73およびバス3、54を有する。ここで、物理メモリ51が請求項12の第1の記憶回路に対応し、物理メモリ71、72が請求項12の第2の記憶回路に対応し、物理メモリ73が請求項12の第3の記憶回路に対応している。

【0075】物理メモリ51、71、72、73は、デュアルポートメモリであり、データの書き込みとデータの読み出しとを独立して行える。物理メモリ51の書き込みポートは、図1および図2に示すAVバス9に接続されており、図3の画像縮小回路31あるいは図6の画像縮小回路41から出力された動画画像信号S2が入力される。また、物理メモリ51の読み出しポートは、図9に示すバス54に接続されている。

【0076】物理メモリ71～73の書き込みポートはバス53に接続されており、物理メモリ71～73の読み出しポートはバス54に接続されている。

【0077】バス53は、図1および図2に示すAVバス9および物理メモリ71、72、73の書き込みポートに接続されており、AVバス9を介して動画画像信号S3₁～S3₅、...を受けて、動画画像信号S3₁を物理メモリ71の書き込みポートに出力し、動画画像信号S3₂を物理メモリ72の書き込みポートに出力し、動画画像信号S3₃を物理メモリ73の書き込みポートに出力し、動画画像信号S3₄を物理メモリ71の書き込みポートに出力し、動画画像信号S3₅を物理メモリ72の書き込みポートに出力し、動画画像信号S3₆を物理メモリ73の書き込みポートに出力する。

【0078】バス54は、物理メモリ51、71～73の読み出しポートと、図1および図2に示すAVバス9とに接続されており、物理メモリ51、71～73から読み出しされた動画画像信号S4をレンダリング回路5に出力する。

【0079】以下、図9に示すテクスチャメモリ4の動作について説明する。図1および図2に示すミップマップ処理回路3からの動画画像信号S2が、AVバス9を介して、テクスチャメモリ4の物理メモリ51の書き込みポートに入力され、物理メモリ51に書き込まれる。また、当該動作と並行して、ミップマップ処理回路3からの動画画像信号S3₁～S3₅、...が、AVバス9を介してバス53上に伝送され、動画画像信号S3₁を物理メモリ71の書き込みポートに出力され、動画画像信号S3₂を物理メモリ72の書き込みポートに出力され、動画画像信号S3₃～S3₅、...を物理メモリ73の書き込みポートに出力される。これにより、動画画像信号S3₁が物理メモリ71に書き込まれ、動画画像信号S3₂が物理メモリ72の書き込まれ、動画画像信号S3₃～S3₅、...が物理メモリ73に書き込まれる。

【0080】そして、上述した物理メモリ51、52への書き込み動作とは独立に、図1および図2に示すレンダリング回路5からの要求に応じて、物理メモリ51、71～73に記憶された動画画像信号S4が、バス54およびAVバス9を介して、レンダリング回路5に読み出される。

【0081】図8に示す構成のテクスチャメモリ4では、物理メモリ51、71、72の各々では、それぞれ動画画像信号S2、S3₁、S3₂が連続したアドレスに書き込まれ、動画画像信号S4が連続したアドレスから読み出される。また、LODレベル「3」（縦横1/8）より小さな縮小画像については、出力の時間間隔が広がるので、比較的低速なメモリを共用しても問題は起らない。そのため、図8に示す構成のテクスチャメモリ4としては、低速であるが安価なDRAMなどを使用できる。

【0082】ところで、ミップマップ処理に用いられる縮小画像の動画画像信号を全て格納するのに必要なメモリ容量は、LODレベル「0」（等倍）の画像に対する面積で1/4、1/16、1/32、...という初項1/4、公比1/4の等比数列の総和であることから、LODレベル「0」の画像を格納するのに必要な容量のよそ1/3となる。従って、ミップマップ処理を行わない画像処理装置に比べ、1/3だけ余計にテクスチャメモリが必要となる。しかし、ミップマップ処理機能を持つ3次元グラフィックス処理システムでは、通常は全てのLODレベルの縮小画像の動画画像信号を格納するに

十分なテキストメモリを最初から備えている。したがって、本発明の適用によって、新たに余計なテキストメモリが必要になることはない。

【0083】図8に示す構成のテキストメモリ4によれば、回路規模と動作速度の観点から使用状況に適合した構成にすることが可能である。

【0084】第7実施形態

本実施形態では、上述した実施形態をデジタルテレビ受信装置に適用した場合を示す。図10は、本実施形態のデジタルテレビ受信装置90の部分構成図である。図10に示すように、デジタルテレビ受信装置90は、例えば、ビデオ生成回路2、ミップマップ処理回路3、テキストメモリ4、レンダリング回路5、フレームメモリ6、ディスプレイ7、制御回路8、受信回路100および復号回路101を有し、これらがAVバス9を介して接続されている。ここで、ミップマップ処理回路3が請求項16の画像生成回路に対応し、テキストメモリ4が請求項16の記憶回路に対応し、レンダリング回路5が請求項16の画像処理回路に対応し、受信回路100および復号回路101が請求項16の受信回路に対応している。図10において、図1と同じ符号を付した構成要素は、基本的に、前述した実施形態で説明したものと同じである。すなわち、デジタルテレビ受信装置90は、図1に示す画像処理装置1に、受信回路100および復号回路101を加えた構成をしている。

【0085】図11は、図10に示すデジタルテレビ受信装置90におけるデータの流れを説明するための図である。デジタルテレビ受信装置90は、図11に示すように、ビデオ生成回路2からのビデオ信号S2の処理に加えて、デジタルの受信信号S110の処理を行う。具体的には、受信信号S110が、受信回路100でキャリア再生および復調された後に復号回路101で復号され、それによって受信信号S101が得られる。受信信号S101は、例えば、そのままディスプレイ7で表示を行う場合には、復号回路101からフレームメモリ6に出力される。また、受信信号S101を動画のミップマップ処理の対象にする場合には、受信信号S101がテキストメモリ4に書き込まれると共に、ミップマップ処理回路3に出力され、ミップマップ処理回路3において、受信信号S101に応じたLODレベル「1」～「n」の動画画像信号S3₁～S3_nが生成される。

【0086】

【発明の効果】本発明によれば、入力された動画画像信号に応じた複数の解像度の動画画像信号をリアルタイムに生成し、それらを用いて動画のテキストチャッピングを行う画像処理装置、受信装置およびそれらの方法を提供できる。

【図面の簡単な説明】

【図1】図1は、本発明の第1実施形態の画像処理システムの全体構成図である。

【図2】図2は、図1に示す画像処理システムにおけるデータの流れを説明するための図である。

【図3】図3は、図1および図2に示すミップマップ処理回路の構成図である。

【図4】図4は、図3に示す画像縮小回路における画像の横方向のピクセルについての処理を説明するための図である。

【図5】図5は、図3に示す画像縮小回路における画像の縦方向のラインについての処理を説明するための図である。

【図6】図6は、図1および図2に示すミップマップ処理回路のその他の構成図である。

【図7】図7は、図1および図2に示すテキストメモリの構成図である。

【図8】図8は、図1および図2に示すテキストメモリその他の構成図である。

【図9】図9は、図1および図2に示すテキストメモリその他の構成図である。

【図10】図10は、本発明の実施形態のデジタルテレビ受信装置の部分構成図である。

【図11】図11は、図10に示すデジタルテレビ受信装置におけるデータの流れを説明するための図である。

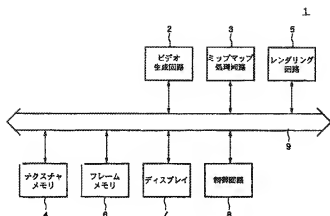
【図12】図12は、テキストチャッピング処理を説明するための図である。

【図13】図13は、ミップマップ処理を説明するための図である。

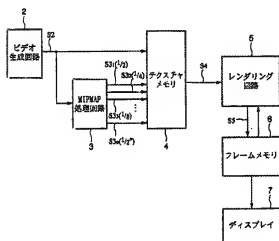
【符号の説明】

1…画像処理装置、2…ビデオ生成回路、3…ミップマップ処理回路、4…テキストメモリ、5…レンダリング回路、6…フレームメモリ、7…ディスプレイ、8…制御回路、9…AVバス、3₁…3_{1n}、4₁…4_{1n}、…画像縮小回路、3₂…3_{2n}、4₂…4_{2n}、…ラインディレイ回路、5₁、5₂、6₁…6₅、7₁…7₃…物理メモリ、5₃、5₄…バス

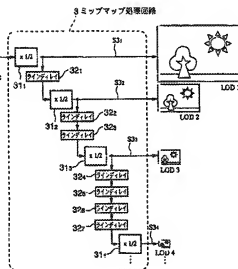
【図1】



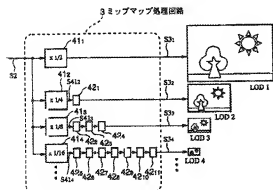
【図2】



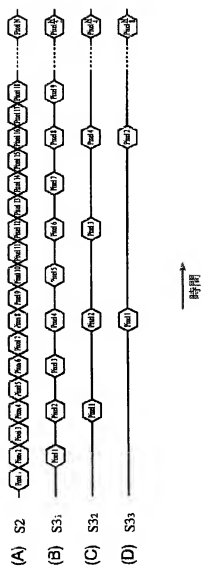
【図3】



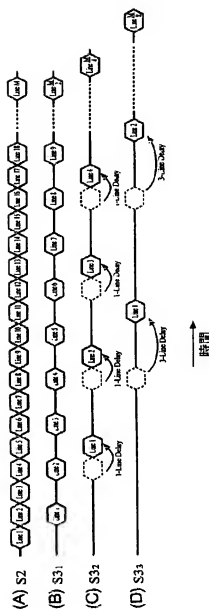
【図6】



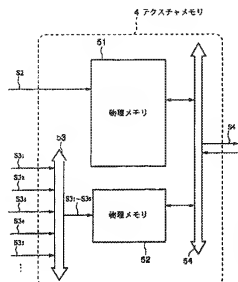
【図4】



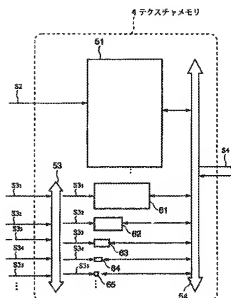
【図5】



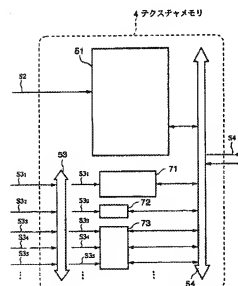
【図7】



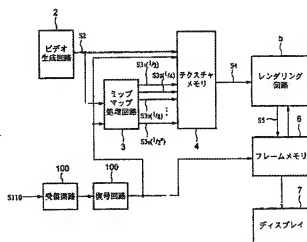
【図8】



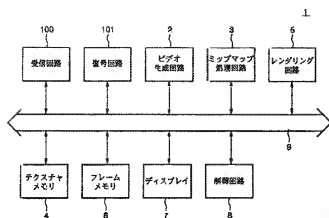
【図9】



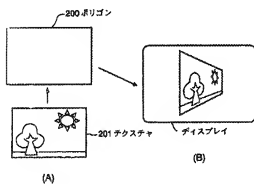
【図11】



【図10】



【図12】



【図13】

